



全志科技
Allwinner Technology

V3s硬件设计指南

目录

PART 1: Schematic Design guide

PART 2: PCB Layout guide

目录

PART 1: Schematic Design guide

PART 2: PCB Layout guide

PART 1: Schematic Design guide

- 1. CPU
- 2. DRAM
- 3. POWER
- 4. CAMERA
- 5. LCD
- 6. SPI NAND/NOR
- 7. CARD
- 8. AUDIO
- 9. USB
- 10. KEY
- 11. ESD

CPU

- 1. UART2调试请保留测试点。
- 2. GPIO分配请按照标案图进行，切勿随意调整。如确需调整，请与FAE沟通。

DRAM

- 1. V3s集成32M*16bit DDR2，供电电压为1.8V。
- 2. 主控ZQ PIN接240R-1%精度的下拉到地电阻，靠近地摆放。

CAMERA

- 1. Camera AVDD/DVDD/IOVDD 3路供电电压符合sensor规定范围。
- 2. VCC-PE和MIPI-IOVCC共用一路电源，MIPI-IOVCC通路上增加MOS开关，避免摄像头模组漏电导致系统异常。
- 3. MCLK上保留串联33R电阻和并联到地NC电容，用于提高摄像头的兼容性以及降低时钟信号的EMI辐射。
- 4. 检查摄像头模组的PIN定义，是否与插座一致。特别需要注意一般24PIN插座有上接触或下接触可选择，检查模组金手指接触面的方向。
- 5. Camera的I2C控制需要使用CSI自带的TWI，不要随意使用系统的TWI。

LCD

- 1. 串行8位RGB屏幕线序和接口不可更改。
- 2. RGB666屏幕R/G/B接口可整组互换。
- 3. CS信号根据屏幕资料进行拉低或拉高处理，不连接到主控。
- 4. 主控端VCC-PE供电为3V，VCC-LCD供电为3.3V。

SPI NAND/NOR

- V3s支持SPI NAND/NOR FLASH

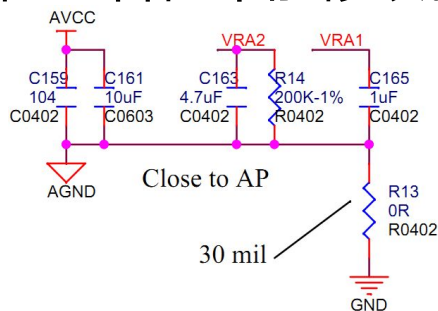
ALLWINNER TECH
CONFIDENTIAL

CARD

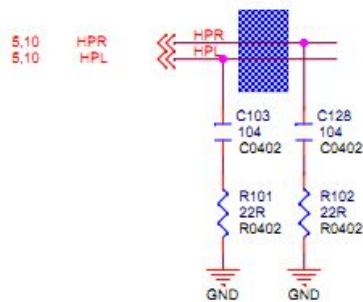
- 1. CLOCK脚不要上拉电阻，若并联电容，容值不得超过15pF。
- 2. CLOCK信号线上需要串33欧电阻，靠近主控端摆放。

AUDIO

- 1. VRP、VRA、AGND的接地点汇总成一点，通过0R电阻到大地。电阻电容值不能修改。



- 2. HPR/HPL 保留RC到地电路，确保在功放输入前级。



- 3. AB类功放和D类功放放大倍数不一致，可通过软件调节最大音量。systemconfig中修改pa_single_vol的值，共64个档，每降低6档音量减少2倍。

USB

- 1. USB 座子上的ID pin脚用于外部设备检测，连接到PG4，通过电阻上拉到VCC-3V3电压。若ID检测为高，为USB Device模式；若ID检测为低，为USB Host模式。
- 2. USBVBUS输入电压为PS，POWER SWITCH开关加下拉电阻，默认关闭，USB HOST模式时，USBVBUS通电。
- 3. 若需要倒车检测功能，可在后拉摄像头增加倒车判断：通过后拉ISP接收倒车信号，主控读取后拉ISP寄存器的值判断是否倒车。

KEY

- 1. 键数选择，根据需要，直接去掉后面的按键。
- 2. 按键采用线控按键，LRADC0/LRADC1网络的采样范围为0-2V，在添加按键时保证按键按下后LRADC0网络电压范围为0-1.6V，并保证任意两个按键按下时LRADC0电压差必须 $\geq 0.15V$ 。

ESD

- 1. CPU / 晶振等ESD敏感的关键器件，建议预留金属屏蔽罩。
- 2. 复位信号在靠近AP端，必须保留一个对GND的滤波电容，容值固定选择10nF。
- 3. 部分与外部直连或者裸露的接口，比如USB座子、MIC、CARD座子等，必须加上ESD器件。

目录

PART 1: Schematic Design guide

PART 2: PCB Layout guide

PART 2: PCB Layout guide

- 1. Stack Up
- 2. CPU POWER
- 3. 晶振
- 4. DRAM
- 5. AXP209 POWER
- 6. AUDIO
- 7. CAMERA
- 8. USB
- 9. CARD
- 10. LCD
- 11. ESD
- 12. EMC
- 13. 制造性
- 14. 结构

Stack Up

- 1. 四层板，叠层结构和阻抗控制建议如下（如果需调整板厚，请调整2、3层之间介质厚度，保持其他介质厚度不变）

---		Stackup Structure			Impedance Requirements			
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space (mil)	Sim Z0(Ohms)
	solder mask	0.5	SM	4.25				
1	TOP	1.6	0.3oz+plating	4	50±10%	2	4	52.18
					90±10%	2	4.5/7.5	90.03
					100±10%	2	3.8/8.7	98.5
	prepreg	2.9		4				
2	GND	1.2	1.0oz					
	core	27.0		4.5				
3	VCC	1.2	1.0oz					
	prepreg	2.9		4				
4	BOTTOM	1.6	0.3oz+plating	4	50±10%	3	4	52.18
					90±10%	3	4.5/7.5	90.03
					100±10%	3	3.8/8.7	98.5
	solder mask	0.5	SM	4.25				
Board thickness:		39.4						

Stack Up

- 2. 两层板，
- 1) 按照差分对走线规则。平行走线，长度 $\pm 10\text{mil}$ 。
- 2) 对差分对进行包地处理。在差分对两侧打地过孔，如下图1。
- 3) 差分对可采用线宽 6mil /线距 6mil 设置，叠层参数参考下图2。

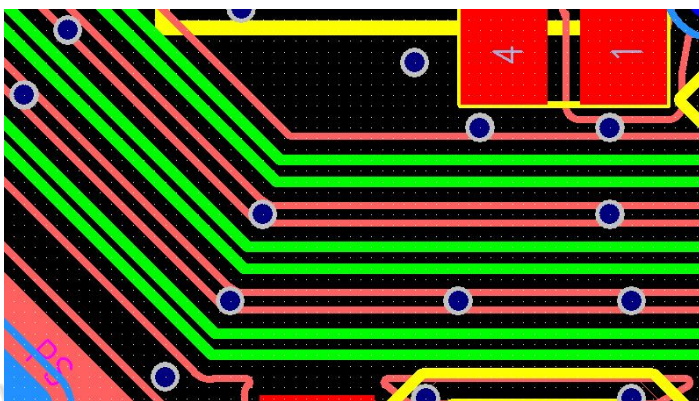
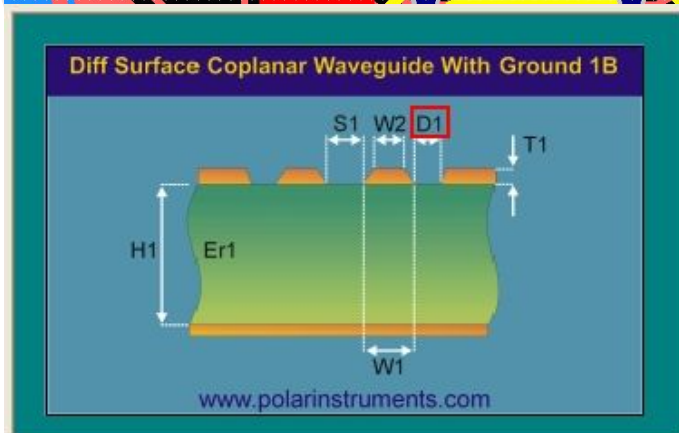


图1 Camera MIPI走线



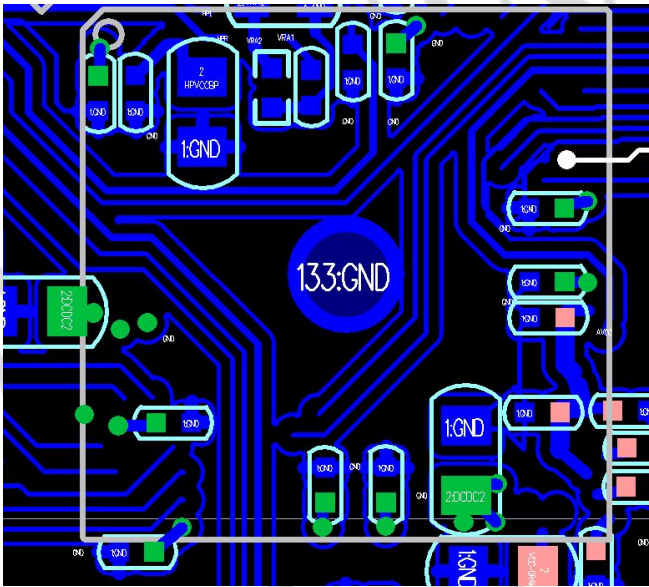
			Tolerance	Minimum	Maximum	
Substrate 1 Height	H1	25.4000	+/- 0.0000	25.4000	25.4000	Calculate
Substrate 1 Dielectric	Er1	4.2000	+/- 0.0000	4.2000	4.2000	Calculate
Lower Trace Width	W1	6.0000	+/- 0.0000	6.0000	6.0000	
Upper Trace Width	W2	6.0000	+/- 0.0000	6.0000	6.0000	Calculate
Trace Separation	S1	6.0000	+/- 0.0000	6.0000	6.0000	Calculate
Ground Strip Separation	D1	5.0000	+/- 0.0000	5.0000	5.0000	Calculate
Trace Thickness	T1	1.4000	+/- 0.0000	1.4000	1.4000	Calculate
Differential Impedance	Zdiff	114.77		114.77	114.77	Calculate

图2

CPU POWER

➤3. Bypass电容-双面布局

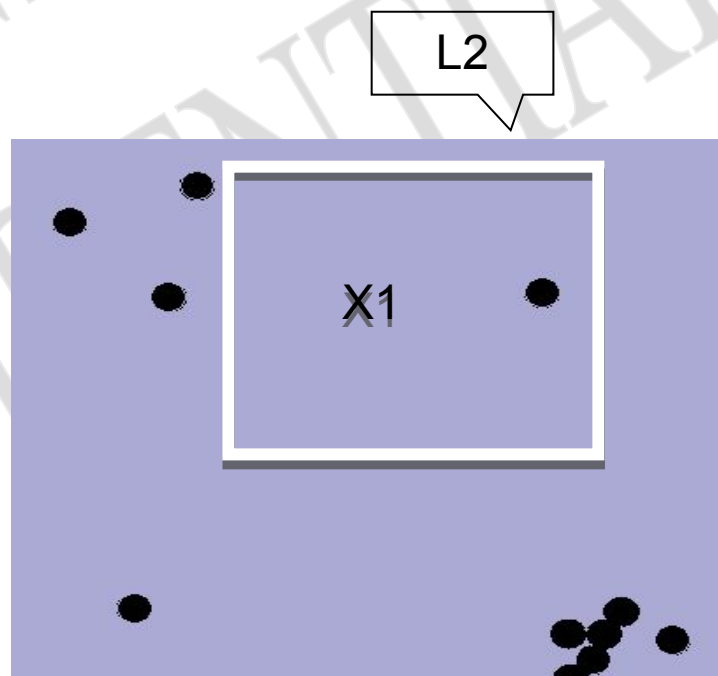
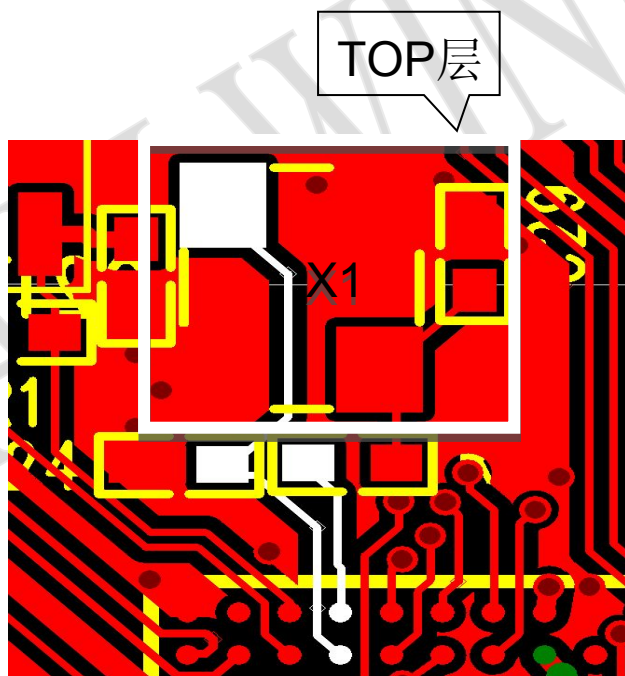
- 1) 2层板时，CPU (DCDC2) 供电走线严格按照以下要求：**走线宽度不小于1mm (40mil) ，换层直径0.5mm/0.3mm (20mil/12mil) 过孔数目不小于4个。**
- 2) CPU/SYS bypass电容放置在V3s PCB背面，均匀分布于各个电源管脚。
- 3) 保证电容每个VCC管脚或GND管脚不少于一个过孔。



注：绿色为CPU/SYS Bypass电容；粉红色为DRAM Bypass电容。

晶振

- 1. 晶体尽量靠近IC摆放，避免晶体走线过长。
- 2. 晶振的匹配电容必须靠近晶振摆放
- 3. 晶体及其走线区域的外围和相邻层，用GND屏蔽保护。
- 4. 晶体及其走线区域的相邻层，禁止其它走线。



AUDIO

- 1. AGND通过0R电阻单点接地；电阻到AGND线宽 $\geq 1\text{mm}$ （80mils）。
- 2. Audio的外围器件布局与Power信号区域不允许交叠。
- 3. HPL/HPR和MICIN/MICIN分别并行走线，并做好包地。走线及过孔远离DRAM、LCD高速信号。

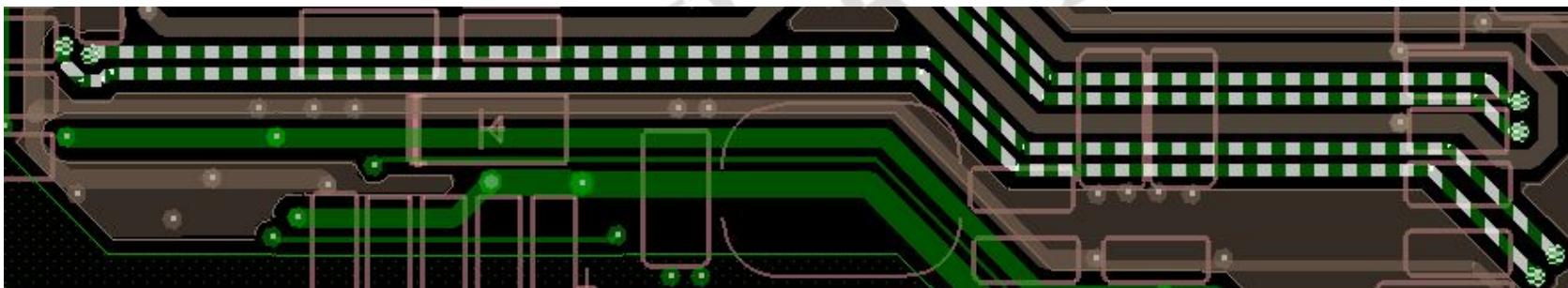


图1 MIC和功放信号并行走线，并进行包地处理。

CAMERA

- 1. MCLK上的电容靠近座子，电阻靠近主控。
- 2.保证摄像头方向正确。
- 3.主控与摄像头插座走线长度 $\leq 2000\text{mil}$ ，防止摄像头模组FPC过长出现问题。
- 4. AVDD，IOVDD和DVDD的滤波电容，需要接近摄像头子板座子。
- 5. MCLK包地，走线2个过孔以内，4层板时CLK内层走线。若是并口的sensor，CSI-PCLK也需包地，走线2个过孔以内。
- 6.MIPI的sensor，时钟和信号要差分走线，差分阻抗在100欧，优先走线，走线2个过孔以内，确保参考平面没被割断。

USB

- 1. 差分阻抗为90欧，确保参考平面没被割断。
- 2. USB D+/D-差分信号走线包地。
- 3. USB走线的长度控制在4000mil以内，走线过孔不超过2个。
- 4. 杜绝USB直接分叉走线，需要在分叉处加USB Switch。

CARD

- 1. 卡座VCC电容和卡座在PCB板在同一面，并靠近卡座摆放。
- 2. 走线尽量与高频信号隔开，数据线分组走线，过孔控制在2个以内。
- 3. CLK包地。

LCD

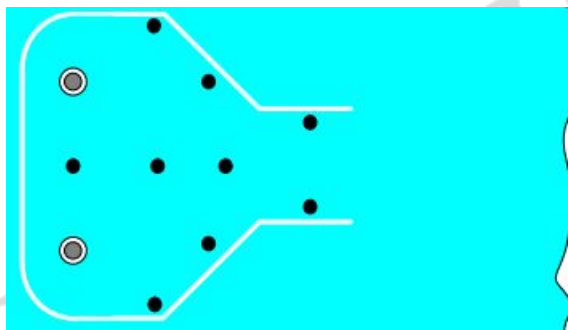
- 1. CLK上的电容靠近座子，电阻靠近主控。
- 2. CLK包地，走线2个过孔以内，4层板时CLK内层走线。
- 3. 背光输出电容额定电压为50V。

ESD--PCB注意项

- 1. 压缩第三层不必要的电源走线面积，VCC-3.3V可使用30mil走线连接，尽可能多的铺GND。
- 2. CPU/VDD-SYS/DRAM小电容靠近主控摆放。这些电容的GND应多打过孔加强。
- 3. CPU/VDD-SYS/DRAM不要走在板边等敏感位置，且加强保护。
- 4. Camera/TF Card座子下方（座子垂直投影区域，包括1~4层）尽量不要走线。
- 5. 固定焊盘与主地相连，杜绝悬浮地。

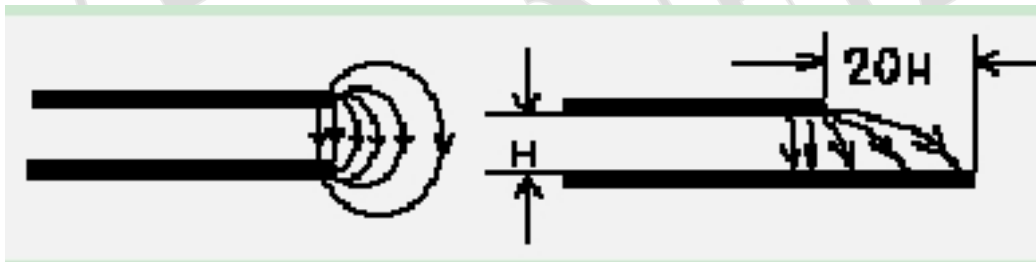
ESD

- 6. Reset信号不要走在板边或者敏感区域，且加强保护，滤波电容靠近主控摆放。
- 7. 对于靠近IO的晶振布线，应在靠近IO的地平面一侧割间距为20密尔的壕沟以减小静电对它的影响。



EMC--PCB注意项

- 1. CSI走线尽可能保证完整参考平面；信号走线串联33ohm电阻；如果PCB层数超过4L，建议内层走线。
- 2. LCD CLK，SDIO CLK，SDC CLK，CSI MCLK，CSI PCLK尽量内层走线或者包地，包地沿途打地过孔，过孔间距 $\leq 10\text{mm}$ （400mils）；走线不跨越参考平面；增加串阻，串阻靠近主控放置。
- 3. 24MHz晶体相对板边距离 $\geq 25\text{mm}$ （1000mils）。
- 4. VCC平面沿板边相对GND平面内缩 $\geq 30\text{mils}$ 。 1. 为防止电源辐射，最好将电源层内缩，尽量遵循规则。以一个H（电源和地之间的介质厚度）为单位，若内缩20H则可以将70%的电场限制在接地边沿内；内缩100H则可以将8%的电场限制在内。一般四层板电源层内缩80mil-100mil为宜。



制造性

- 1. V3s QFP封装附近加定位孔，单板板边添加3个定位孔。
- 2. 测试点放置于同一面。
- 3. 要求铺铜安全间距Copper to Cooper 间距大于10mil，Board to all大于15mil。

结构

- 1. MIPI摄像头的排线有长度限制，如：OV2710在10CM内。当排线过长时，需要做排线的阻抗匹配（于排线上粘符合材料），保证排线的阻抗在100欧以内。
- 2. 屏幕与主板紧密接触时，注意在主控附近加散热片，防止主控部位温度过高导致LCD屏幕显示不良（高温处出现黑块）。
- 3. 环境25度，要求裸板时CPU Tcase < 60度，整机时CPU Tcase < 70度。达不到此要求需要进行散热处理。
- 4. 外壳为金属时，注意利用螺丝孔将主板和外壳良好接触，减低ESD泄放路径阻抗。
- 5. 连接排线（摄像头、LCD等）不要与外壳贴近，安装时向内折叠。减少ESD通过排线造成干扰。
- 6. 供电火牛额定电流不小于1A。开启火牛瞬间，火牛下陷电压值不能低于3.5V。

Revision History

PART1	Date	Changes compared to previous issue
V1.0	2015-05-19	Realse Version
V1.1	2015-06-29	增加充电电流说明

PART2	Date	Changes compared to previous issue
V1.0	2015-05-19	Realse Version
V1.1	2015-06-29	增加制造性和结构条目



Disclaimer: All logos and copyrights used in this presentation belong solely to their respective companies and owners. This presentation is for reference only and has no commitment. All content contained herein is subject to change without notice. For more information, please contact service@allwinnertech.com.